

Requested Patent: JP63027940A  
Title: STORAGE CONTROLLER ;  
Abstracted Patent: JP63027940 ;  
Publication Date: 1988-02-05 ;  
Inventor(s): TAKATORI HARUTOMO ;  
Applicant(s): MITSUBISHI ELECTRIC CORP ;  
Application Number: JP19860172128 19860722 ;  
Priority Number(s): ;  
IPC Classification: G06F12/16 ;  
Equivalents: ;

**ABSTRACT:**

**PURPOSE:** To improve the processing efficiency by recording only the first error out of correctable errors having the same syndrome of errors, which occur in a certain address range, in an error log and regarding errors having the same syndrome, which occur after said first error, as information of redundancy.

**CONSTITUTION:** The address for read of a storage device 1 is temporarily stored in an address register 7 of a recording controller 2, and a read digital signal including an error correction code ECC is inputted to an ECC circuit 6. If an error is detected by the circuit 6, the syndrome of this error is inputted to a syndrome register 9. The syndrome related to each error is stored in a syndrome backup register 9a, and prescribed correctable bits of contents of the register 7 are stored in an address backup register 7a. Contents of registers 7a and 9a are compared with each other by a comparing circuit 11 and only recording of the first error out of frequently occurring errors is left, thus improving the processing efficiency.

## ⑫ 公開特許公報(A)

昭63-27940

⑪ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)2月5日

G 06 F 12/16

3 2 0

M-7737-5B

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 記憶制御装置

⑮ 特 願 昭61-172128

⑯ 出 願 昭61(1986)7月22日

⑰ 発 明 者 鷹 取 東 朋 神奈川県鎌倉市上町屋325番地 三菱電機株式会社計算機製作所内

⑰ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑰ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1. 発明の名称

記憶制御装置

## 2. 特許請求の範囲

記憶装置にディジタル信号を書込む場合、エラーの有無を検査し、そのエラーが1ビットのエラーであればこれを修正することができる誤り訂正符号(以下ECCという)を付加して書き込み、上記記憶装置からディジタル信号を読出す場合、読出したディジタル信号のエラーの有無を上記ECCにより検査し、そのエラーが1ビットのエラーであればこれを修正して出力する機構を有する記憶制御装置において、

上記記憶装置を読出すためのアドレス信号を一時記憶するアドレスレジスタ、

上記記憶装置から読出されたECCを含むディジタル信号が入力されるECC回路、

このECC回路において訂正可能なエラーを検出したとき出力されるエラー検出信号、

上記ECC回路において上記エラーを検出したと

きそのエラーのシンδροームが入力されて一時記憶されるシンδροームレジスタ、

一回前に発生した訂正可能なエラーに関するシンδροームを記憶するシンδροームバックアップレジスタ、

上記一回前に発生した訂正可能なエラーに対応するアドレスレジスタの内容のうちの所定ビット数の上位ビットを記憶するアドレスバックアップレジスタ、

このアドレスバックアップレジスタと上記シンδροームバックアップレジスタとの内容を初期化の時点でリセットする手段、

上記エラー検出信号が出力された状態で上記アドレスレジスタの上記上位ビットと上記シンδροームレジスタの内容を連結した信号と上記アドレスバックアップレジスタと上記シンδροームバックアップレジスタの内容を連結した信号とを比較する比較回路、

この比較回路の出力が比較不一致を示すときにエラー処理信号を出力し、かつ、上記アドレスバ

ックアップレジスタに上記アドレスレジスタの内容の上記上位ビットを入力し、上記シンドロームバックアップレジスタに上記シンドロームレジスタの内容を入力する手段、

上記エラー処理信号によりエラー処理プログラムを発動する手段、

を備えたことを特徴とする記憶制御装置。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

この発明はデータ処理装置の記憶制御装置が記憶装置から読出したデータ中に符号誤り（以下エラーと言う）があることを検出した場合の処理に関し、特に読出したデータには、1ビットのエラーを訂正することができ、2ビット以上のエラーがあるときは、2ビット以上のエラーがあるということを検出することができる ECC（error correcting code，誤り訂正符号）が附加されている場合の処理に関するものである。

#### 〔従来の技術〕

第2図は従来の記憶制御装置の構成を示すプロ

スし、記憶装置(1)から読出された ECC の附加されたデータは ECC 回路(6)によってエラーの有無が検査され、そのうちのデータ部がデータレジスタ(8)にセットされる。書き込みのときデータに付加される ECC は1ビットのエラーは自動的に訂正することが可能であり、2ビット以上のエラーであれば、2ビット以上のエラーが存在することを検出することができるように構成されているとする。

読出した信号に対する ECC 回路(6)の検査結果は、H1エラーなし。H2エラーは存在するが訂正可能である。H3訂正不可能なエラーが存在する。の3種類に分類される。H1のエラーなしの場合はデータレジスタ(8)の内容がそのまま処理装置(3)に出力され、H2の訂正不可能なエラーが存在する場合は訂正不可能なエラー発生に対する処理が実行されるが、このH1とH2の場合は、従来の装置における動作とこの発明の装置における動作との間に差異がなく、従ってこの発明には直接の関係はないのでその説明を省略する。

H3のエラーは存在するが訂正可能である、すな

ック図である。図において、(1)は記憶装置、(2)は記憶制御装置、(3)は処理装置、(4)は制御回路、(5)はアドレス生成回路、(6)は ECC 回路、(7)はアドレスレジスタ、(8)はデータレジスタ、(9)はシンドロームレジスタ、(10)はエラー検出信号である。

記憶装置(1)へデータ（この明細書でデータと言うときは命令をも含むものとする）を書込む場合は、処理装置(3)から、書込むべきデータがデータレジスタ(8)にセットされ、そのデータを書込むべき記憶装置の論理アドレスがアドレスレジスタ(7)にセットされる。データレジスタ(8)にセットされたデータは ECC 回路(6)に輸入され ECC のビットが付加されて記憶装置(1)に送られる。一方アドレスレジスタ(7)にセットされた論理アドレスは、制御回路(4)とアドレス生成回路(5)とによって記憶装置(1)の物理アドレスに変換されて、この物理アドレスで記憶装置(1)にアクセスしてそのアドレス位置へ ECC の付加されたデータを書込む。

次に、記憶装置(1)からデータを読出すときは、アドレス生成回路(5)の出力で記憶装置(1)にアクセ

スし、上述の例では1ビットのエラーである場合、ECC 回路(6)はそのエラーがどのビットに存在するかを定め、これをシンドロームレジスタ(9)に一時記憶し、かつ、データレジスタ(8)中のエラービットを訂正し、エラー検出信号(10)を出力する（すなわち信号(10)の論理を有意にする）。

この場合、データレジスタ(8)の内容は既に訂正済であって、処理装置(3)ではこれをそのまま利用することができるが、従来の装置では、発生したエラーを分析し、総合的な信頼性を向上するため、発生したエラーの記録を残していた。すなわち、エラー検出信号(10)が出力されると、処理装置(3)はエラー処理のプログラムを起動し、そのときのアドレスの値及びシンドロームレジスタ(9)の内容をエラーログとしてファイルに蓄積した。

#### 〔発明が解決しようとする問題点〕

以上のように従来の装置では、データレジスタ(8)の内容が既に訂正されていて正しくなっているにもかかわらず常にエラー処理プログラムが実行されるため、このことが処理装置(3)の効率を低下

する原因となる。これを避けるため、訂正可能なエラーの発生を示すエラー検出信号に対してはエラー処理プログラムを実行しないようにしたのは、訂正可能なエラーのうちエラーログに記録しておく必要のあるエラーまで逸してしまうという問題点があった。

この発明は上記のような問題点を解決するためになされたもので、エラーログに記録しておく必要のあるエラーは必ず記録することができると共に冗長な記録は自動的に省略することができる記憶制御装置を得ることを目的とする。

#### 〔問題点を解決するための手段〕

記憶装置の構成から考えると、一定のアドレス範囲で発生するエラーのシンドロームは一定のものとなる確率が多いので、この発明の装置では一定のアドレス範囲内で同一シンドロームの訂正可能なエラーが発生したときは、最初に発生したエラーだけをエラーログに記録し、其後に発生する同一シンドロームのエラーは冗長な情報として記録を省略した。

エラーに対応するアドレスレジスタの内容のうち所定ビット数の上位ビットを記憶するアドレスバックアップレジスタである。たとえば、記憶装置(1)の記憶素子として256 Kビット/チップの素子を使用したとして、この素子中の任意のビットにアクセスするためには18ビット( $2^{18} = 256 \times 2^{10}$ )のアドレス信号を必要とし、アドレス信号全体のビット数が22ビットであるとすれば $22 - 18 = 4$ が上位ビットのビット数となる。従って上位ビットのビット数が零の場合も存在する。この場合はバックアップアドレスレジスタ(7a)の必要はないが、この発明ではこのように上位ビットのビット数が零である場合をも含んで便宜的にアドレスバックアップレジスタ(7a)に記憶するというにす。 (9a)は一回前に発生した訂正可能なエラーに関するシンドロームを記憶するシンドロームバックアップレジスタ、(10a)はエラー処理信号、(11)は比較回路である。比較回路(11)はエラー検出信号(10)がセットされた時点で、アドレスバックアップレジスタ(7a)の内容とシンドロ

#### 〔作用〕

この発明では一回前のシンドロームレジスタの値を一時記憶するシンドロームバックアップレジスタと、そのシンドロームバックアップレジスタの内容のシンドロームが発生したときのアドレスの上位ビットを一時記憶するアドレスバックアップレジスタとを設け、シンドロームバックアップレジスタの内容とアドレスバックアップレジスタの内容とを連結した第1の信号と、シンドロームレジスタの内容とアドレスレジスタの上位ビットとを連結した第2の信号とのビットパターンを比較する比較回路を設けて比較回路の出力が両入力のビットパターンの不一致を示すときだけ、シンドロームレジスタの内容とアドレスレジスタの上位ビットとを記憶することにした。

#### 〔実施例〕

以下この発明の実施例を図面について説明する。第1図はこの発明の一実施例を示すブロック図で、第1図において第2図と同一符号は同一又は相当部分を示し、(7a)は一回前に発生した訂正可能な

ームバックアップレジスタ(9a)の内容とを連結した第1の信号とアドレスレジスタ(7)の上位ビットとシンドロームレジスタ(9)の内容とを連結した第2の信号とのビットパターンを比較し両者のビットパターンが不一致のときだけエラー処理信号(10a)を出力するよう動作する。

次に第1図に示す装置の動作について説明する。記憶装置(1)にデータを書込むときの動作、記憶装置(1)から読出されたデータがECC回路(6)の検査によりエラーなしと判定されたときの動作、及び記憶装置(1)から読出されたデータがECC回路(6)の検査により訂正不能なエラーがあると判定されたときの動作は、第1図に示す装置と第2図に示す装置とで同一であるのでその説明を省略する。

次に、記憶装置(1)から読出されたデータに訂正可能なエラーが存在した場合の処理の準備として、初期化の段階でアドレスバックアップレジスタ(7a)とシンドロームバックアップレジスタ(9a)の内容をリセットしておく。

第2図について説明したと同様、ECC回路(6)で

訂正可能なエラーを検出したときは、エラー検出信号(10)を出力し、データレジスタ(8)のうちの誤りビットを訂正し、かつ誤りビットの位置を示す情報をシンドロームレジスタ(9)にセットする。エラー検出信号(10)が出力されると比較回路(11)はアドレスバックアップレジスタ(7a)の内容とシンドロームバックアップレジスタ(9a)の内容を連結した第1の信号と、アドレスレジスタ(7)の上位ビットとシンドロームレジスタ(9)の内容を連結した第2の信号とのビットパターンを比較する。初期化の段階でレジスタ(7a)、(9a)はリセットされているので、最初のエラー検出信号(10)が出力された時点では比較回路(11)の比較結果は不一致となり、エラー処理信号(10a)が出力される。エラー処理信号(10a)により処理装置(3)はエラー処理のプログラムを起動する。エラー処理信号が発せられた後、アドレスレジスタ(7)の上位ビットがアドレスバックアップレジスタ(7a)にセットされ、シンドロームレジスタ(9)の内容がシンドロームバックアップレジスタ(9a)にセットされる。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例を示すブロック図、第2図は従来の装置を示すブロック図。

(1)は記憶装置、(2)は記憶制御装置、(3)は処理装置、(4)は制御回路、(5)はアドレス生成回路、(6)はECC回路、(7)はアドレスレジスタ、(7a)はアドレスバックアップレジスタ、(8)はデータレジスタ、(9)はシンドロームレジスタ、(9a)はシンドロームバックアップレジスタ、(10)はエラー検出信号、(10a)はエラー処理信号、(11)は比較回路。

尚、各図中同一符号は同一又は相当部分を示す。

代理人 大 岩 増 雄

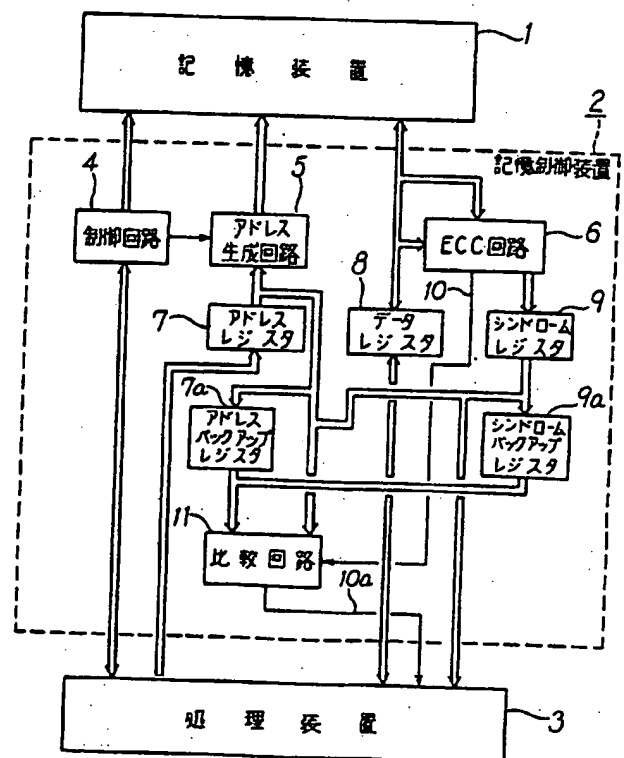
第2回目にエラー検出信号(10)が出力された場合、比較回路(11)における比較の結果が一致を示したとすれば、エラー処理信号(10a)は出力されず、処理装置(3)はデータレジスタ(8)上の訂正されたデータを利用するだけで、エラー処理プログラムは起動しない。これは同一アドレス範囲内の同一シンドロームのエラーは同一のメモリ素子の故障に原因するものと考えられ一個のエラーデータについての記録を残せば足りるからである。

アドレス領域が異なるか又はシンドロームが異なる新しい種類のエラーが発生したときは比較回路(11)による比較結果は不一致を示し、この新しい種類のエラーは記録される。

#### 〔発明の効果〕

以上のようにこの発明によれば、同一種類のエラーが頻繁に発生する場合、そのうちの最初に発生したエラーの記録だけを残すことができるので、冗長な情報を記録するために処理装置の効率を低下しなくてすむという効果がある。

第1図

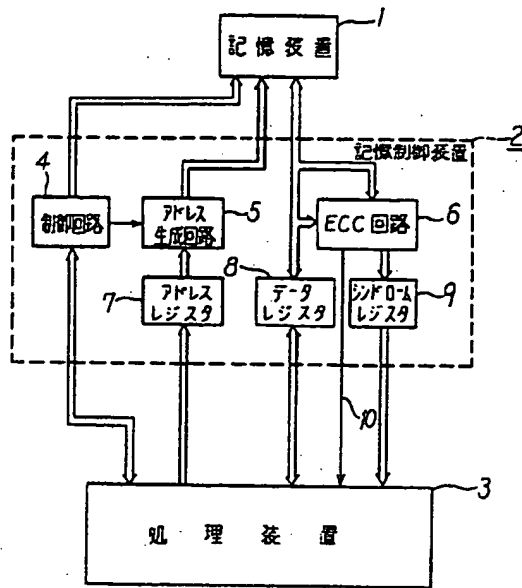


昭和 年 月 日

62 2 17

特許庁長官殿

## 第2図



1. 事件の表示 特願昭 61-172128 号

2. 発明の名称 記憶制御装置

3. 補正をする者

事件との関係 特許出願人  
 住所 東京都千代田区丸の内二丁目2番3号  
 名称 (601)三菱電機株式会社  
 代表者 志岐守哉

4. 代理人

住所 東京都千代田区丸の内二丁目2番3号  
 三菱電機株式会社内  
 氏名 (7375)弁理士 大岩増雄  
 (連絡先03(213)3421特許部)



5. 補正の対象

(1) 明細書の「発明の詳述の説明」の欄



## 6. 補正の内容

(1) 明細書才4頁才10行目及び同頁才14行目にそれぞれ「論理アドレス」とあるをいずれも「物理アドレス」と訂正する。

(2) 同書才4頁才16行目乃至才17行目「(1)の物理アドレスに変換されて、この物理アドレスで」とあるを「(1)に供給するアドレスに変換されて、この変換されたアドレスで」と訂正する。

(以上)